

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IDS

CLIPPEDIMAGE= JP405102403A

PAT-NO: JP405102403A

DOCUMENT-IDENTIFIER: JP 05102403 A

TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:

NAME

URAI, TAKAHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP03260215

APPL-DATE: October 8, 1991

INT-CL (IPC): H01L027/08;H01L021/265 ;H01L021/316

US-CL-CURRENT: 438/217,438/526 ,438/FOR.163 ,438/FOR.442

ABSTRACT:

PURPOSE: To prevent a decrease in channel width, caused by a channel stopper diffusion layer intruding into the channel region in a narrow channel MOS transistor, by making an ion-implanting mask film large enough to cover a gate electrode region on a resist film, and forming an anti-oxidation mask.

CONSTITUTION: An N-well 2 and a silicon nitride 4 film are formed on a P-type silicon substrate 1. Then, an anti-oxidation film is formed by removing the silicon nitride film 4 with a mask of photoresist films 5-1 to 5-3, which are formed after a first photoresist film is applied on the surface and removing it selectively. A second photoresist mask is applied thereon and is removed selectively so that second photoresist masks 6a and 6 (an ion-implantation mask film) are formed. The photoresist film 6a covers the side of the photoresist film 5-1 and the silicon nitride film 4 under the resist film 5-1. Then, a p-type ion implantation layer 7 is formed by implanting boron ions, and the photoresist film is removed and a thermal oxidation step is carried out so that a field oxidation film 8 and a channel stopper 9a are formed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102403

(43)公開日 平成5年(1993)4月23日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08	3 3 1 B	7342-4M		
21/265				
21/316				
		8617-4M	H 0 1 L 21/ 265	P
		7342-4M	21/ 94	A
			審査請求 未請求 請求項の数 4(全 5 頁)	

(21)出願番号 特願平3-260215

(22)出願日 平成3年(1991)10月8日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 浦井 孝彦

東京都港区芝五丁目7番1号日本電気株式
会社内

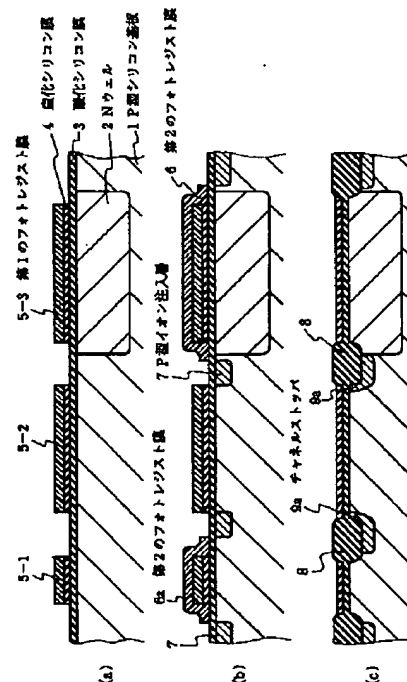
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】窒化シリコン膜3をエッチングするマスクである第1のフォトリソ膜5-1上に第2のフォトリソ膜6aを形成し、P型イオン注入層7を形成し、熱処理を行なう。

【効果】フィールド酸化膜9aで区画された狭チャネルMOSトランジスタ形成領域の少なくともチャネル領域にチャネルストップが食込みチャネル幅を減少させるのを防止できる。



【特許請求の範囲】

【請求項1】 半導体基板の表面部の一導電型半導体領域上に、耐酸化性マスク膜を成長させる工程と、前記耐酸化性マスク膜の上面にフィールド形成用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜によって前記耐酸化性マスク膜を選択的に除去する工程と、前記フィールド形成用マスク膜とゲート電極形成予定領域との重なり部分より大きく、かつこれを内包するイオン注入用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜の両方に覆われた領域以外に自己整合的に前記一導電型半導体領域と同じ型の不純物イオンを注入する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜を除去する工程と、前記耐酸化性マスク膜と自己整合的に熱処理によりフィールド酸化膜を形成する工程とによって、狭チャネルMOSTランジスタ形成領域を区画することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面部の一導電型半導体領域上に、耐酸化性マスク膜を成長させる工程と、前記耐酸化性マスク膜の上面にフィールド形成用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜によって前記耐酸化性マスク膜を選択的に除去する工程と、前記フィールド形成用マスク膜より大きく、かつこれを内包するイオン注入用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜の両方に覆われた領域以外の自己整合的に前記一導電型半導体領域と同じ型の不純物イオンを注入する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜を除去する工程と、前記耐酸化性マスク膜と自己整合的に熱処理によりフィールド酸化膜を形成する工程とによって、狭チャネルMOSTランジスタ形成領域を区画することを特徴とする半導体装置の製造方法。

【請求項3】 前記一導電型はP型である請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記耐酸化性マスク膜は窒化シリコン膜であり、前記フィールド形成用マスク膜と前記イオン注入用マスク膜はレジスト膜である請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特にイオン注入によるチャネルストップの形成方法に関する。

【0002】

【従来の技術】ここ数年、半導体装置は大容量化・高密度化に伴う微細化が進むと共に、高機能化・多様化も目立つ状況となって来ている。この両方を考えてみると、MOSTランジスタの製造という面からは、前者はチャネル長縮小・後者は、例えば、様々な機能を実現す

るためのいろいろなタイプのトランジスタの実現というように言い換えられるかもしれない。

【0003】その多種・多様なMOSTランジスタのうちの1つにチャネル幅の小さいトランジスタ（狭チャネルトランジスタ）があるが、今までは、普通のMOSTランジスタと変わらない製造方法で作られて来た。これについて、素子分離用酸化膜（フィールド酸化膜）とチャネルストップ形成に焦点をあててnMOSの製造方法について説明する。

10 【0004】まず、図4（a）に示すように、例えばP型シリコン基板1にNウェル2を形成したのち、素子分離絶縁膜を形成するため窒化シリコン膜（耐酸化性膜）4を形成し、第1のフォトレジスト膜5を塗布し、素子分離対応のマスクで露光を行なう、このとき、素子分離絶縁膜を形成すべき部分のフォトレジスト膜は除去され、続いてフォトレジスト膜5-1、5-2、5-3をマスクとするプラズマエッチにより、窒化シリコン膜3を除去して耐酸化性マスクを形成する。次に、図4（b）に示すように、第2のフォトレジスト膜6を塗布し、チャンネルストップ対応のマスクで露光し、Nウェル2とその近傍上にのみ第2のフォトレジスト膜6を残す。ここで、第1、第2のフォトレジスト膜5、6をマスクとしてP型不純物をイオン注入し、P型イオン注入層7を形成する。次に、図4（c）、図5に示すように、第1、第2のフォトレジスト膜5、6を除去したのち熱酸化を行ないフィールド酸化膜8（素子分離絶縁膜）を選択的に形成する。次いで、窒化シリコン膜4を除去する。

30 【0005】このようにしてフィールド酸化膜8で区画されたpMOSTランジスタ形成領域10、nMOSTランジスタ形成領域11、狭チャネルMOSTランジスタ形成領域が得られる。なお、同時に、P⁺型のチャネルストップ9は、フィールド酸化膜8の下はほぼ全面に形成されることになる。以上はLOCOS法の場合について説明したが、LOPOS法の場合は、窒化シリコンの下に多結晶シリコン膜を成長させる工程が追加されるのみで他は変わらない。

40 【0006】図5は図4（c）に対応する平面図である。ただし、参考のため狭チャネルnMOSTランジスタ部にのみゲート電極13を一点鎖線で示してある。またチャネルストップには平行斜線を附した。

【0007】フィールド酸化膜8とチャネルストップ9はほぼ同形になるとはいえ、イオン注入条件や熱酸化条件によっては、図示のように、チャネルストップ9がnMOSTランジスタ形成領域11、12内へ食込んで形成されることになる。

【0008】

50 【発明が解決しようとする課題】ところが、この従来の半導体装置の製造方法で、狭チャネルトランジスタを作成した場合、チャネル幅が小さい事と、チャネルストッ

バが様々な要因によって広がり得る事を考えると、実効のチャネル幅が減少し、最悪の場合には、ほぼなくなってしまう恐れがある。最も簡単な解決方法は狭チャネルMOSトランジスタ形成領域の幅を大きくする事である。その場合に、チャネルストップパによるチャネル幅の減少を予め見込んでその分だけ狭チャネルMOSトランジスタ形成領域の幅を大きくする方法と、前述のチャネル幅の減少が問題にならない程度のチャネル幅のトランジスタを設計する方法とが考えられよう。しかし、前者の方法は工程上のばらつきにより狭チャネルトランジスタの特性がばらつくし、後者の方法では、狭チャネルトランジスタの占有面積が増大してしまう。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板の表面部の一導電型半導体領域上に、耐酸化性マスク膜を成長させる工程と、前記耐酸化性マスク膜の上面にフィールド形成用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜によって前記耐酸化性マスク膜を選択的に除去する工程と、前記フィールド形成用マスク膜とゲート電極形成予定領域との重なり部分より大きく、かつこれを内包するイオン注入用マスク膜を選択的に形成する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜の両方に覆われた領域以外に自己整合的に前記一導電型半導体領域と同じ型の不純物イオンを注入する工程と、前記フィールド形成用マスク膜と前記イオン注入用マスク膜を除去する工程と、前記耐酸化性マスク膜と自己整合的に熱処理によりフィールド酸化膜を形成する工程とによって、狭チャネルMOSトランジスタ形成領域を区画するというものである。

【0010】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0011】図1(a)～(c)は本発明の一実施例の説明に使用する工程順断面図である。また図2は図1(c)に対応する平面図であるが、参考のため、狭チャネルnMOSトランジスタ形成領域部のみに第2のフォトリソ膜6aとゲート電極13の位置をそれぞれ1点鎖線および2点鎖線で示してある。

【0012】図1(a)は図4(a)と同じであり、第1のフォトリソ膜5-1、5-2、5-3(フィールド形成用マスク膜)を形成するまでの工程は前述の通りである。

【0013】次に、図1(b)に示すように、第2のフォトリソ膜を塗布し、露光し、現像することによって、第1のフォトリソ膜5-1、5-3上に第2のフォトリソ膜6a、6(イオン注入用マスク膜)として残す。第1のフォトリソ膜5-1は狭チャネルnMOSトランジスタ形成領域(図2の12)を形成するためのエッチングマスクであるが、平面形状は長方形

である。第2のフォトリソ膜6a(イオン注入用マスク膜)はこの長方形の両端部を除き、第1のフォトリソ膜5-1とその下の窒化シリコン膜4の側面を覆っている。次に、ボロンを注入してP型イオン注入層7を形成し、第1、第2のフォトリソ膜を除去し、熱酸化を行うと図1(c)、図2に示すようにフィールド酸化膜8、チャネルストップパ9aが形成され、pMOSトランジスタ形成領域10、nMOSトランジスタ形成領域11、狭チャネルnMOSトランジスタ形成領域12が区画される。

【0014】その後、ゲート電極13(10、11の部分では簡単のため図示していない)を形成するが、ゲート電極13下の狭チャネルnMOSトランジスタ形成領域12(チャネル領域)から一定寸法離れてチャネルストップパ9aが存在するよう、第2のフォトリソ膜6aの寸法、形状を定めるのである。第2のフォトリソ膜6a形成時の目合せずれや熱処理によるばらつきを考慮して第2のフォトリソ膜6aの寸法を設計することにより、チャネルストップパ9aが食込むことは防止できる。

【0015】このように、本発明によれば、何ら特別の工程を追加することなく、ばらつきが少ない狭チャネルMOSトランジスタを占有面積の増大を伴わずに形成できる。

【0016】なお、この実施例では、チャネル領域の外側にチャネルストップパを形成したが、図3に示すように狭チャネルMOSトランジスタ形成領域12の外側にチャネルストップパ9bを形成してもよい。すなわち、フィールド形成用マスク膜より大きく、かつこれを内包するイオン注入用マスク膜を形成すればよい。

【0017】

【発明の効果】以上説明したように本発明は、耐酸化性マスク形成用のレジスト膜上にこれとゲート電極形成予定領域との重なり部分より大きく、かつこれを内包するイオン注入用マスク膜を形成してイオン注入を行なうことにより、少なくとも狭チャネルMOSトランジスタのチャネル領域の外側にチャネルストップパを形成することができるので、チャネルストップパの拡散層の食込みによる狭チャネルMOSトランジスタのチャネル幅の減少を防止できる。

【図面の簡単な説明】

【図1】本発明の一実施例の説明に使用するため(a)～(c)に分図して示す工程順断面図である。

【図2】図1(c)に対応する平面図である。

【図3】一実施例の変形を示す平面図である。

【図4】従来の技術の説明に使用するため(a)～(c)に分図して示す工程順断面図である。

【図5】図4(c)に対応する平面図である。

【符号の説明】

1 P型シリコン基板

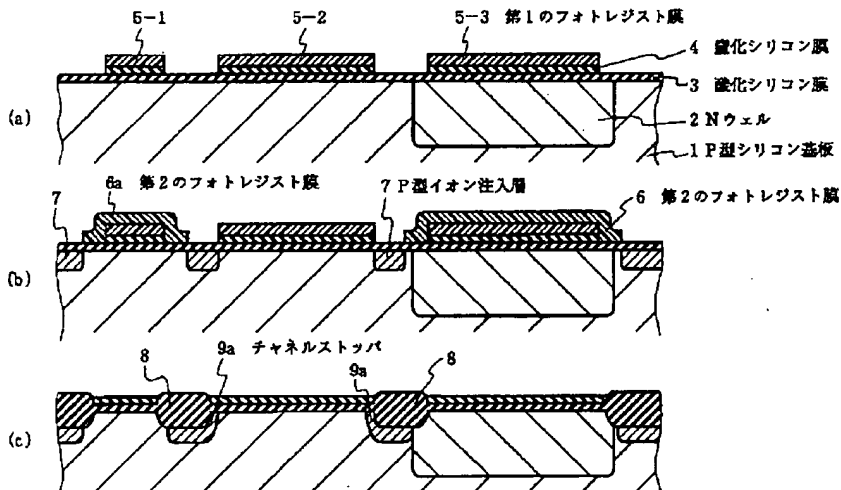
5

6

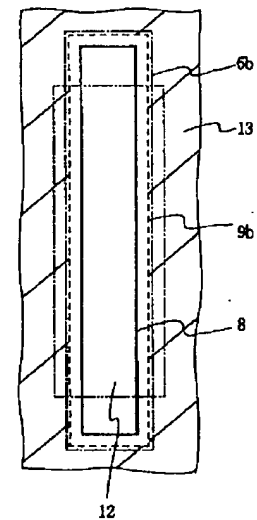
- 2 Nウェル
 3 酸化シリコン膜
 4 窒化シリコン膜
 5-1, 5-2, 5-3 第1のフォトリソ膜
 6, 6a 第2のフォトリソ膜
 7 P型イオン注入層

- 8 フィールド酸化膜
 9, 9a, 9b チャンネルストップパ
 10 pMOSトランジスタ形成領域
 11 nMOSトランジスタ形成領域
 12 狭チャンネルnMOSトランジスタ形成領域
 13 ゲート電極

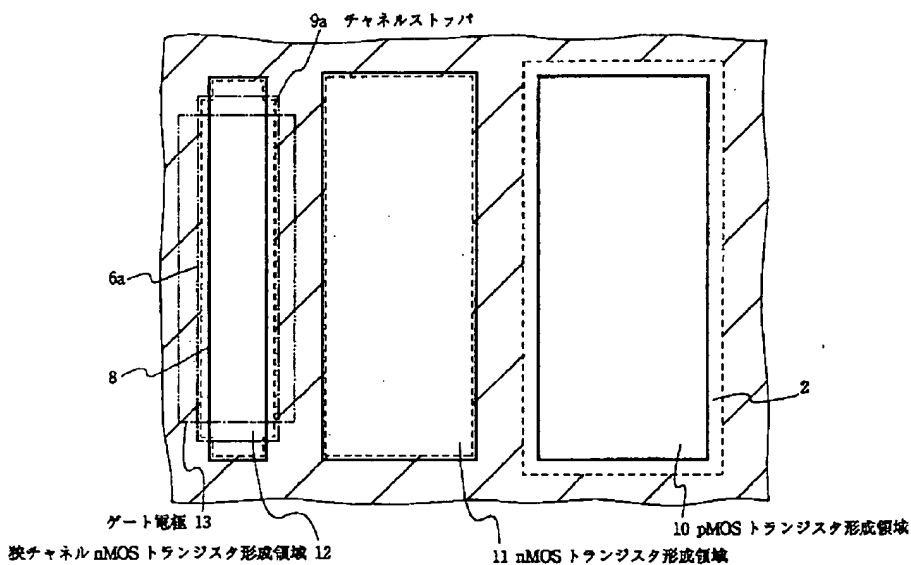
【図1】



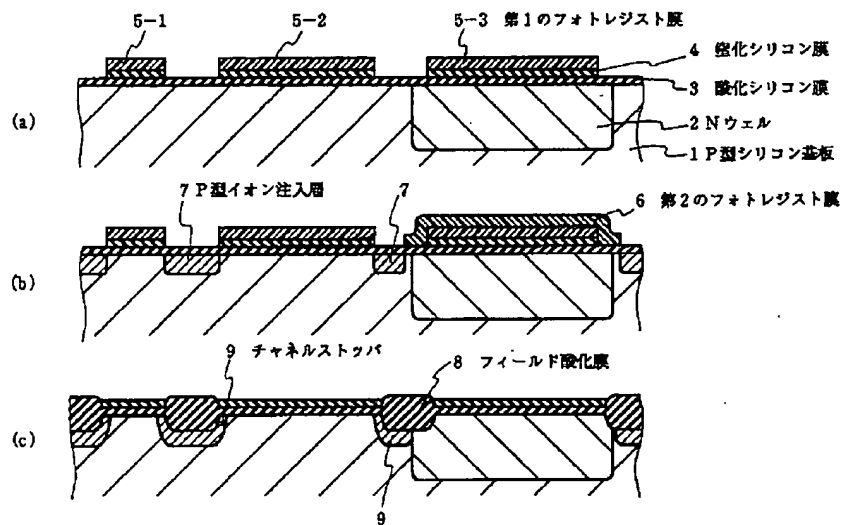
【図3】



【図2】



【図4】



【図5】

